

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 10275906  
 PUBLICATION DATE : 13-10-98

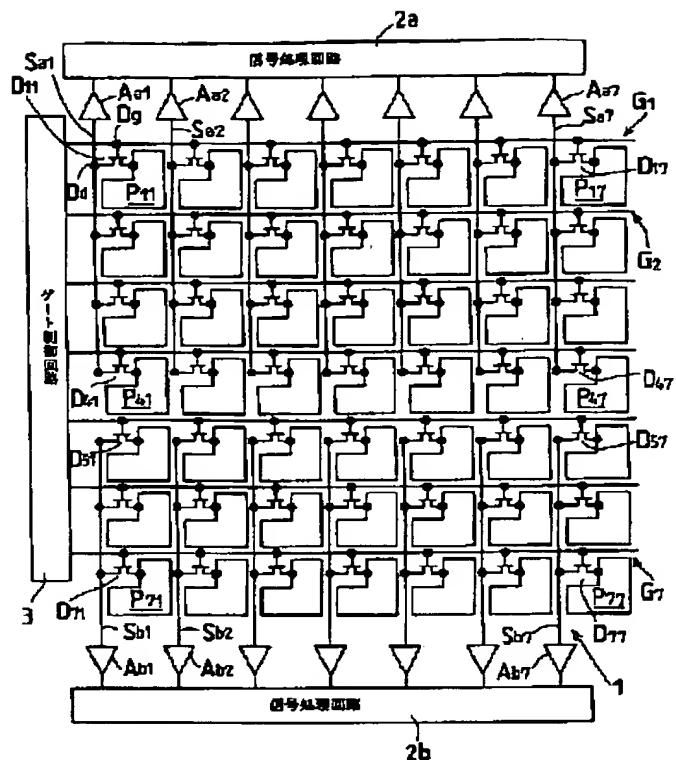
APPLICATION DATE : 31-03-97  
 APPLICATION NUMBER : 09080468

APPLICANT : SHIMADZU CORP;

INVENTOR : OIKAWA SHIRO;

INT.CL. : H01L 27/14 G01T 1/24 H01L 29/786  
 H04N 5/335

TITLE : FLAT PANEL SENSOR



ABSTRACT : PROBLEM TO BE SOLVED: To provide a high-performance flat panel sensor from which signal readout noise and the delay, etc., of gate signals supplied to pixel TFT elements are reduced.

SOLUTION: The number of pixel rows (or columns) allotted to one data line is reduced so as to reduce the data line capacity of each data line, by dividing data lines arranged at every pixel row (or column) into two Sa1,..., Sa7 and Sb1,..., Sb7 on a panel 1, and arranging charge sensitive amplifiers As1,..., As7 and Ab1,..., Ab7 on both sides of the panel 1 correspondingly to the data lines. In addition, the distances from gate control circuits to TFT elements are shortened so as to reduce the delays of gate signals, by dividing gate lines arranged at every pixel row or column into two on the panel 1, and arranging the gate control circuits on both sides of the panel 1 corresponding to the gate lines.

COPYRIGHT: (C)1998,JPO

THIS PAGE BLANK (USPTO)

(51) Int.Cl.<sup>6</sup>  
 H 01 L 27/14  
 G 01 T 1/24  
 H 01 L 29/786  
 H 04 N 5/335

識別記号

F I  
 H 01 L 27/14 K  
 G 01 T 1/24  
 H 04 N 5/335 E  
 H 01 L 29/78 6 1 2 C  
 6 1 2 C

審査請求 未請求 請求項の数 5 OL (全 10 頁)

(21)出願番号 特願平9-80468

(22)出願日 平成9年(1997)3月31日

(71)出願人 000001993

株式会社島津製作所

京都府京都市中京区西ノ京桑原町1番地

(72)発明者 及川 四郎

京都府京都市中京区西ノ京桑原町1番地

株式会社島津製作所三条工場内

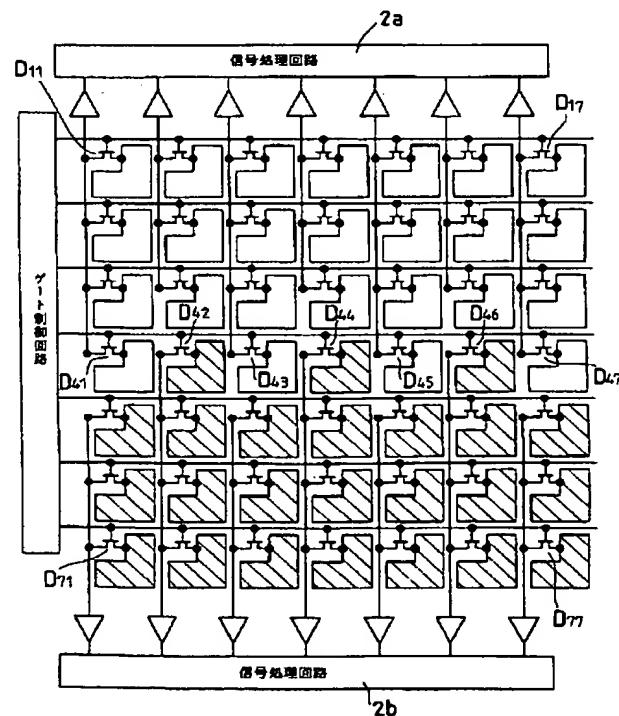
(74)代理人 弁理士 倉内 義朗

(54)【発明の名称】 フラット・パネル形センサ

## (57)【要約】

【課題】 信号読み出しノイズや画素TFT素子へのゲート信号の遅延等が軽減された、高性能のフラット・パネル形センサを提供する。

【解決手段】 画素の行(または列)ごとに配置されるデータ線をパネル1上で2分割(Sa1…Sa7とSb1…Sb7に分割)し、これに対応してチャージセンシティブアンプAa1…Aa7とAb1…Ab7を、パネル1を挟んだ両側に配置することで、1本のデータ線が受け持つ画素行数(または列数)を少なくして、各データ線におけるデータライン容量を軽減する。また、画素の行または列ごとに配置されるゲート線をパネル1上で2分割し、これに対応してゲート制御回路をパネルを挟んだ両側に配置することで、ゲート制御回路からTFT素子までの距離を短くして、ゲート信号の遅延を少なくする。



## 【特許請求の範囲】

【請求項1】 2次元画素配列を形成すべく複数のセンサがマトリクス状に配列され、その各画素信号を読み出すためのデータ線とゲート線がマトリクス状に配置されるとともに、そのデータ線及びゲート線にそれぞれチャージセンシティブアンプ及びゲート制御回路が接続されてなるフラット・パネル形センサにおいて、画素の列または行ごとに配置されるデータ線がパネル上で2分割され、これに対応してチャージセンシティブアンプがパネルを挟んだ両側に配置されていることを特徴とするフラット・パネル形センサ。

【請求項2】 2次元画素配列を形成すべく複数のセンサがマトリクス状に配列され、その各画素信号を読み出すためのデータ線とゲート線がマトリクス状に配置されるとともに、そのデータ線及びゲート線にそれぞれチャージセンシティブアンプ及びゲート制御回路が接続されてなるフラット・パネル形センサにおいて、画素の行または列ごとに配置されるゲート線がパネル上で2分割され、これに対応してゲート制御回路が、パネルを挟んだ両側に配置されていることを特徴とするフラット・パネル形センサ。

【請求項3】 2次元画素配列を形成すべく複数のセンサがマトリクス状に配列され、その各画素信号を読み出すためのデータ線とゲート線がマトリクス状に配置されるとともに、そのデータ線及びゲート線にそれぞれチャージセンシティブアンプ及びゲート制御回路が接続されてなるフラット・パネル形センサにおいて、画素の列または行ごとに配置されるデータ線と、画素の行または列ごとに配置されるゲート線が、それぞれパネル上で2分割され、これに対応してチャージセンシティブアンプがパネルを挟んだ両側に配置され、ゲート制御回路がパネルを挟んだ両側に、上記アンプの配置と直交して配置されていることを特徴とするフラット・パネル形センサ。

【請求項4】 請求項1、2または3に記載のフラット・パネル形センサにおいて、データ線またはゲート線の分割境界、または、データ線及びゲート線の分割境界が、それぞれ凹凸状になっていることを特徴とするフラット・パネル形センサ。

【請求項5】 請求項1に記載のフラット・パネル形センサにおいて、パネルを挟んだ両側に配置した、2組のチャージセンシティブアンプ群からの画素信号を、共通の信号処理回路で処理するように構成されているとともに、その一方のアンプ群の信号処理回路への接続と、他方のアンプ群の信号処理回路への接続を選択的に切り換える手段を備えていることを特徴とするフラット・パネル形センサ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、例えば、食品や

リント基板等の非破壊検査装置、医用X線撮像装置等に用いられる2次元X線センサアレイ、あるいは文書、画像等の読み取り装置（イメージスキャナ）等に用いられる2次元光センサアレイなど、1枚の基板上にデータ線とゲート線がマトリクス状に配置されたフラット・パネル形センサに関する。

## 【0002】

【従来の技術】 近年のマルチメディアームやデジタル指向に対応して画像撮像の分野でフィルムレス化が進行している。民生機器の分野でのデジタルカメラとデジタルビデオカメラの出現や医用分野でのフラット・パネル形X線センサの研究興隆がその現れである。民生機器の分野での、この傾向のキーデバイスはコンパクト性も重要であることから、現在、CCD面センサが一般に広く用いられている。

【0003】 一方、X線の場合、光と異なりレンズ系で縮小できないことや、感度重視の観点から直接X線を胸部サイズ程度のフラット・パネルで電気信号に変換する方式が研究の主流になっている。

【0004】 この方式はさらに間接変換（この場合、蛍光体層によりX線を光に変え、その強度分布を2次元光センサアレイにより電気信号に変換する）と直接変換に分類されるが、キーデバイスはいずれも面状に配置された、各蓄積容量から蓄積電荷を時系列で読み出すためのTFTマトリクス素子である。

【0005】 そのTFTマトリクス素子の従来の構成例を図1に示す。この図1において、各画素に1個づつ配置されているTFT素子D11・D77・・・は、ドレイン、ゲート及びソースの3端子を持つ構造であり、列配列上の各ドレイン端子Ddは同一のデータ線Sに結線されている。一方、行配列上の各ゲート端子Dgは同一のゲート線Gに結線される。ゲート制御回路3からは順次1行分の画素アレイを選択するためのゲート信号が該当するゲート線Gに送り出される。例えば最上段行（1行目）の選択から始まり、最下段行（7行目）の選択まで順次ゲート信号が該当ゲート線Gに送り出される。各データ線SにはチャージセンシティブアンプA・Aが繋がっており、1行分の各画素の蓄積電荷信号を同時に収集する。これらは信号処理回路2にて時分割処理されて蓄積電荷データとして転送蓄積される。

【0006】 なお、図1に示すパネル構造においては、データ線Sはパネル全域に及ぶ1列分の画素群に連結されており、ゲート線Gも同様にパネル全域に及ぶ1行分画素群に連結されている。

## 【0007】

【発明が解決しようとする課題】 ところで、図1に示したTFTマトリクス素子では、蓄積電荷信号の読み出しノイズが存在する。例えば下記の文献(1)には、蓄積電荷の集積信号に載つてゐるノイズの主因子としてデータライン容量（=ゲート・ドレイン間容量（Cgd）× Nc

(行数)に比例するアンプノイズが挙げられている。

【0008】文献(1) Jpn.J.Appl.Phys.Vol.32(1993)p.198-204 Fujieda et.al High Sensitivity Readout of 2D a-Si Image Sensors このようなデータライン容量に起因するアンプノイズは、パネルの画素数が多くなればなるほど増大するため、胸部サイズ程度の大面積のフラット・パネル形センサを構築する場合、そのアンプノイズを低減することが重大なポイントとなる。

【0009】また、この種のTFTマトリクス素子では、ゲート線に接続されているTFT素子の個数が多くなるほど、ゲート信号が各TFT素子に到達するまでの遅延と波形歪みが大きくなり、蓄積電荷信号の質が悪くなるという問題もある。

【0010】それらの改善策の一つとして、特開平7-274068号公報には、パネル全体を4分割し、この4つの分割パネルを高精度に嵌合する構造とし、その4つの分割パネルの嵌合面でない側にゲート制御回路と信号処理回路(チャージセンシティブアンプ群を含む)を実装することで、各分割パネルが受け持つデータライン容量を半減させてノイズの低減化をはかるとともに、各分割パネルが受け持つTFT素子の個数を半減させてゲート信号の遅延と波形歪みを軽減する技術が提案されている。

【0011】しかしながら、その提案の技術によれば、物理的に分割されたパネルを製作することになり、分割個数分だけ製作工程が多くなるという欠点がある。また、嵌合部分の機械加工精度の問題や、嵌合実装後の各分割パネル間の微妙な伸縮による影響(アーチファクト)等は、この種のフラット・パネル形センサにおいて要望される画質の高さ、特に医用画像の場合は厳密な画質が要求されることを考えると、大きな問題となり得る。

【0012】本発明はそのような実情に鑑みてなされたもので、信号読み出しノイズや画素TFT素子へのゲート信号の遅延等が軽減された、高性能のフラット・パネル形センサを提供することを目的とする。

【0013】

【課題を解決するための手段】上記の目的を達成するため、第1の発明(請求項1の発明に対応)は、2次元画素配列を形成すべく複数のセンサがマトリクス状に配列され、その各画素信号を読み出すためのデータ線とゲート線がマトリクス状に配置されているとともに、そのデータ線及びゲート線にそれぞれチャージセンシティブアンプ及びゲート制御回路が接続されてなるフラット・パネル形センサにおいて、図2に例示するように、画素の行(または列)ごとに配置されるデータ線がパネル1上で、2分割(Sa1…Sa7とSb1…Sb7に分割)され、これに対応してチャージセンシティブアンプAa1…Aa7とAb1…Ab7が、パネル1を挟んだ両側に配置されていることを特徴としており、このような構造を採用すること

で、1本のデータ線が受け持つ画素行数(または列数)が、従来(図1の構造)に対して略半分となり、各データ線におけるデータライン容量が半減する。

【0014】また、第2の発明(請求項2の発明に対応)は、同じくデータ線とゲート線がマトリクス状に配置されるフラット・パネル形センサにおいて、図8に例示するように、画素の行または列ごとに配置されるゲート線がパネル1上で2分割(Ga1…Ga7とGb1…Gb7に分割)され、これに対応してゲート制御回路3aと3bが、パネル1を挟んだ両側に配置されていることを特徴としており、このような構造を採用することで、ゲート制御回路から最遠方のTFT素子までの距離が従来(図1の構造)に対して略半分となり、ゲート制御回路から送り出されるゲート信号が画素TFT素子に到達するまでの遅延と波形歪みが軽減される。

【0015】そして、第3の発明(請求項3の発明に対応)は、上記した2つの発明の技術思想を組み合わせたもので、図9に例示するように、画素の列または行ごとに配置されるデータ線と、画素の行または列ごとに配置されるゲート線が、それぞれパネル上で2分割され、これに対応してチャージセンシティブアンプAa1…Aa7とAb1…Ab7がパネル1を挟んだ両側に配置され、ゲート制御回路3aと3bがパネル1を挟んだ両側に、上記アンプの配置と直交して配置されていることによって特徴づけられる。

【0016】ここで、本発明のフラット・パネル形センサにおいて、2次元画素配列が奇数列・行である場合、図3に例示するように、データ線・ゲート線の各分割境界を、図3に示すような凹凸状としておけば、分割境界を挟んだ両側の画素配置がほぼ対称となり、データ処理の際の校正の精度を高めることができる。

【0017】また、本発明のフラット・パネル形センサにおいて、データ線を分割する場合、図7に例示するように、パネルを挟んだ両側に配置した2組のチャージセンシティブアンプ群Aa1…Aa7とAb1…Ab7からの画素信号を、共通の信号処理回路で処理するように構成するとともに、その一方のアンプ群Aa1…Aa7の信号処理回路への接続と、他方のアンプ群Ab1…Ab7の信号処理回路への接続を選択的に切り換える手段4を設けるといった構成を採用してもよい。

【0018】

【発明の実施の形態】図2は第1の発明の実施の形態の構造を示す図である。この図2に示すフラット・パネル形センサ1は、間接変換タイプのXセンサで2次元画素配列を形成すべく光センサ(図示せず)がマトリクス状に配列されており、その各画素P11…P17,…,P71…P77,…に対応して、TFT素子(FET)D11…D17,…,D71…D77,…がマトリクス状に配列されている。

【0019】その各TFT素子D11…D77,…のう

ち、行配列上の各ゲート端子Dg は同一のゲート線G1…G6 またはG7 に結線される。この各ゲート線G1…G7 はパネル1の側部に配置したゲート制御回路3に接続されている。

【0020】ゲート制御回路3は、1行分の画素アレイを選択するためのゲート信号を、該当のゲート線G1…G6 またはG7 に順次に送り出すように構成されている。一方、各TFT素子D11…D77の各ドレイン端子Dd はデータ線に結線されるが、この実施の形態ではデータ線をパネル上で分割したところに特徴がある。

【0021】すなわち、この実施の形態においては、図2に示すように、データ線群を画素配列の4行目と5行目との間で分割し、その1行目から4行目に位置するTFT素子D11…D47については、各ドレイン端子Dd を、1行配列ごとに同一のデータ線Sa1…Sa6またはSa7に結線しており、また、5行目から7行目に位置するTFT素子D51…D77については、各ドレイン端子Dd を、1行配列ごとに同一のデータ線Sb1…Sb6またはSb7に結線している。

【0022】そして、以上のようにして分割したデータ線のうち、1行目から4行目に位置するTFT素子D11…D47に結線されたデータ線Sa1…Sa7を、パネル1の図中上側に配置した信号処理回路2aに接続し、5行目から7行目に位置するTFT素子D51…D77に結線されたデータ線Sb1…Sb7を、パネル1の図中下側に配置した信号処理回路2bに接続している。

【0023】以上の構造の実施の形態によれば、1本のデータ線が受け持つ画素行数（または列数）が従来（図1の構造）に対して略半分となり、各データ線におけるデータライン容量が半減する結果、ノイズの低減化を実現できる。

【0024】ここで、図2に示すようなデータの分割では、各データ線が受け持つ行数が上半分（4行）と下半分（3行）で異なってしまい、校正を適切に行っても画像の上半分面と下半分面との間に食い違いが残る可能性がある。

【0025】これを緩和する方法を、以下、図3～図6を参照しつつ説明する。図3に示す例においては、上記した問題を緩和するため、画素配列の3行目から4行目の間での分断と、4行目から5行目の間での分断を各データ線について交互に繰り返して、データ線の分割境界を凹凸状にするといった構成を採用している。

【0026】この例の場合、ゲート信号回路からの行選択用のゲート信号はパネル中心線上に位置する画素群（4行目の画素群P41～P47）を選択するため、撮影時におけるゲート信号の送り出しは、図4の送出シーケンスに示すように、まずt0 時にパネル中心線上の画素に対してゲート信号を出し、次いでその上及び下の行を選択する2つのゲート信号をt1 時に同時に出す。以下順次に上方向及び下方向へ行選択と同じタイミングt2…

…で進めてゆく。従って、この例では、最初のデータ収集時において、4行目に並ぶ画素のうち奇数列に並ぶ画素P41, P43, P45, P47は上側の信号処理回路2aで、偶数列に並ぶ画素P42, P44, P46は下側の信号処理回路2bにおいてそれぞれデータ収集処理が行われる。

【0027】ここで、この種のデータ収集において信号処理回路が異なると得られるデータは、ゲインや直線性の面で微妙な食い違いが生じる可能性があることから、図3及び図4に示した例において、パネルの中心線上に並ぶ画素のデータの校正を行っておけば、より質の高い画像を得ることができる。

【0028】そのデータ処理方法を図5及び図6を参照しつつ説明する。図5において、「×」印はパネルの中心線上に並ぶ奇数列の画素P41, P43, P45, P47の実測値で、「○」印は偶数列の画素P42, P44, P46の実測値である。この図5に示す曲線において、その「×」印画素データを補間して得られた「△」印値が「○」印実測値と一致し、逆に「○」印画素データを補間して得られた「+」印値が「×」印実測値と一致するような処理、つまり図5に示す2つの曲線が一致するような処理を行えば、奇数列と偶数列との間の画素データにおけるゲインや直線性の食い違いを校正できる。

【0029】その具体的な手法の一例を説明する。図6に示すように、画素P41, P43の各実測値をそれぞれda1, da3とし、画素P42, P44の各実測値をそれぞれdb2, db4とすれば、例えば画素P42の画素データdb2' 及び画素P43の画素データda3' は、それぞれ、

$$db2' = (2db2 + da1 + da3) / 4$$

$$da3' = (2da3 + db2 + db4) / 4$$

の各式で求めることができる。

【0030】図7は、図3に示した実施の形態の変形例を示す図である。この図7に示す例では、パネルを挟んだ両側に配置した2組のチャージセンシティブアンプ群うち、一方のチャージセンシティブアンプ群Aa1…Aa7の出力ケーブルを、他方のチャージセンシティブアンプ群Ab1…Ab7のところまで引き回し、その2組のアンプ群Aa1…Aa7とAb1…Ab7を、切り替え回路4を介して共通の信号処理回路に選択的に接続するように構成したところに特徴がある。

【0031】なお、この例におけるゲート信号の送り出しは、図7に示すように、t0 時にパネル中心線上の画素に対してゲート信号を出し、t1 以降については、t1, t1', t2, t2', … 時に、上半分と下半分に対して交互にゲート信号を出すというようなシーケンスを採用する。

【0032】次に、本発明のフラット・パネル形センサにおいて、ゲート線を分割する場合の実施の形態を、以下、図8を参照しつつ説明する。この図8の例では、ゲート線群を画素配列の4列目と5列目との間で分割し、

その1列目から4列目に位置するTFT素子D11…D14, …, D71…D74については、各ゲート端子Dgを、1列配列ごとに同一のゲート線Ga1…Ga6またはGa7に結線しており、また、5列目から7列目に位置するTFT素子D15…D17, …, D75…D77については、各ゲート端子Dgを、1列配列ごとに同一のゲート線Gb1…Gb6またはGb7に結線している。

【0033】そして、以上のようにして分割したゲート線のうち、1列目から4列目に位置するTFT素子D11…D14, …, D71…D74に結線されたゲート線Ga1…Ga7を、パネル1の図中左側に配置したゲート制御回路3aに接続し、5列目から7列目に位置するTFT素子D15…D17, …, D75…D77に結線されたゲート線Gb1…Gb7を、パネル1の図中右側に配置したゲート制御回路3bに接続している。

【0034】このようにゲート線を分割すると、ゲート制御回路3a, 3bから最遠方のTFT素子までの距離が、従来(図1の構造)に対して略半分となり、ゲート制御回路3a, 3bから送り出されるゲート信号がTFT素子に到達するまでの遅延と波形歪みが軽減される結果、画素信号の質が向上する。

【0035】また、図10は、上記した図3及び図9の構成を組み合わせたもので、画素の列または行ごとに配置されるデータ線と、画素の行または列ごとに配置されるゲート線を、それぞれパネル上で2分割し、これに対応してチャージセンシティブアンプAa1…Aa7とAb1…Ab7をパネル1を挟んだ両側に配置するとともに、ゲート制御回路3aと3bをパネル1を挟んだ両側に、チャージセンシティブアンプAa1…Aa7とAb1…Ab7の配置と直交して配置したところに特徴がある。

【0036】ここで、図3、図8及び図9に示した実施の形態では、分割境界の凹凸を1画素単位で繰り返すパターンとしているが、本発明はこれに限られることなく、例えば図10に示すように、その分割凹凸は2画素以上(図では4画素)に及ぶパターンであってもよい。

【0037】また、本発明は、直接変換タイプや間接変換タイプのフラット・パネル形Xセンサ、並びにイメージスキャナ等のパネル形光センサ等のほか、最近、民生用途として研究が進められている文書読み取り用密着型センサにも有効に利用することができる。

【0038】

【発明の効果】以上説明したように、本発明のフラット・パネル形センサによれば、画素の列または行ごとに配置するデータ線をパネル上で2分割し、これに対応してチャージセンシティブアンプをパネルを挟んだ両側に配置しているので、1本のデータ線が受け持つ画素行数(または列数)が従来のパネルに対して略半分とすることができます。これにより各データにおけるライン容量が半減する結果、ノイズの低減化を実現できる。

【0039】また、本発明のフラット・パネル形センサ

によると、画素の行または列ごとに配置されるゲート線をパネル上で2分割し、これに対応してゲート制御回路をパネルを挟んだ両側に配置しているので、ゲート制御回路から最遠方のTFT素子までの距離が従来のパネルに対して略半分とすることができます。これにより、ゲート制御回路から送り出されるゲート信号が画素TFT素子に到達するまでの遅延と波形歪みが軽減される結果、画素信号の質が向上する。

【0040】しかも、本発明によれば、パネルを1枚ものとし、そのパネル上でデータ線・ゲート線を分割して、上記したような効果を達成しているので、パネルを分割構造とした場合の問題、つまりパネル製作工程の増加、嵌合部分の機械加工精度及びアーチファクト等の問題が発生することもない。

【0041】ここで、本発明のフラット・パネル形センサにおいて、データ線を分割する場合、パネルを挟んだ両側に配置した2組のチャージセンシティブアンプ群からの画素信号を、同一の信号処理回路で処理するように構成し、その一方のアンプ群の信号処理回路への接続と、他方のアンプ群の信号処理回路への接続を選択的に切り換えるという構成を採用すれば、信号処理回路が受け持つ処理量が従来に比して半分で済み、その分だけコストダウンをはかることができる。

【図面の簡単な説明】

【図1】従来のフラット・パネル形センサの一例を示す図

【図2】第1の発明の実施の形態を示す図

【図3】第1の発明の他の実施の形態を示す図

【図4】図3の実施の形態におけるゲート信号の送出シーケンスを示す図

【図5】図3の実施の形態に用いるデータ校正法の説明図

【図6】同じくデータ校正法の説明図

【図7】第1の発明の更に別の実施の形態を示す図

【図8】第2の発明の実施の形態を示す図

【図9】第3の発明の実施の形態を示す図

【図10】データ線を凹凸状に分割する場合の一例を示す図

【符号の説明】

1 フラット・パネル形センサ

2a, 2b 信号処理回路

3a, 3b ゲート制御回路

4 切り換え回路

P11…P17, …P71, …P77, … 画素

D11…D17, …D71, …D77, … TFT素子

Dd ドレン端子

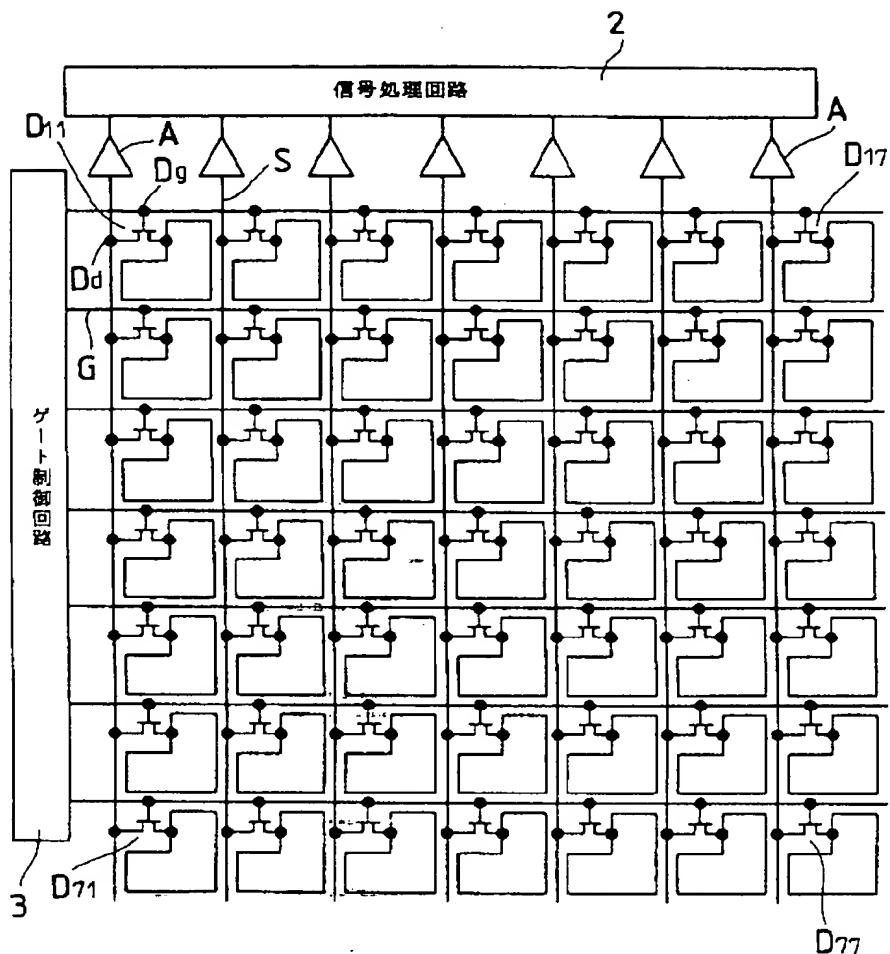
Dg ゲート端子

Aa1…Aa7, Ab1…Ab7 チャージセンシティブアンプ

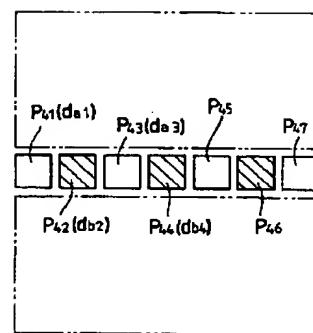
Sa1…Sa7, Sb1…Sb7 データ線

Ga1…Ga7, Gb1…Gb7 ゲート線

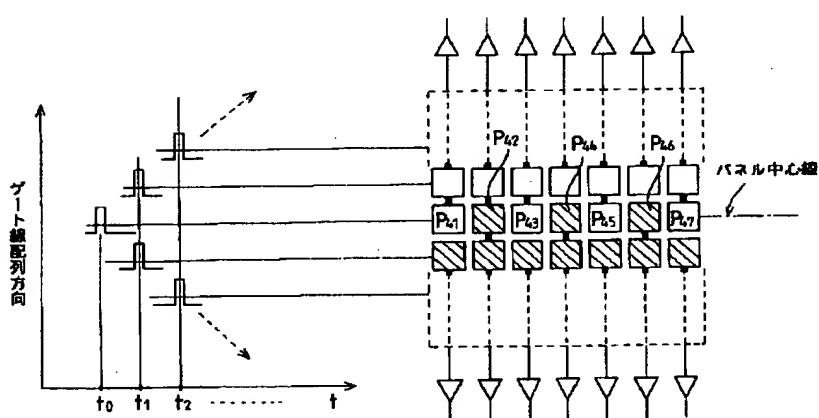
【図1】



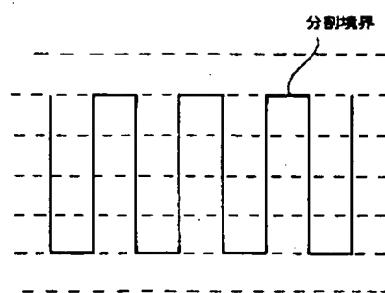
【図6】



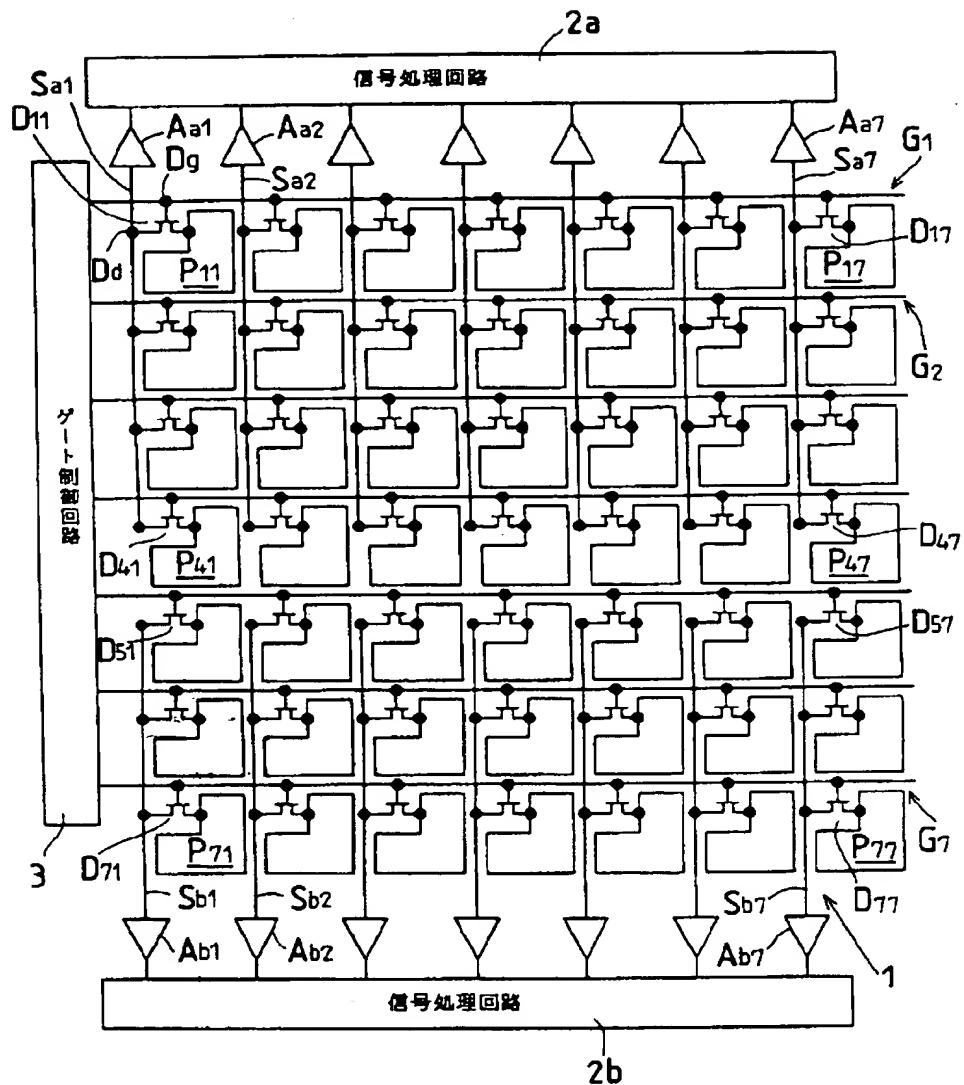
【図4】



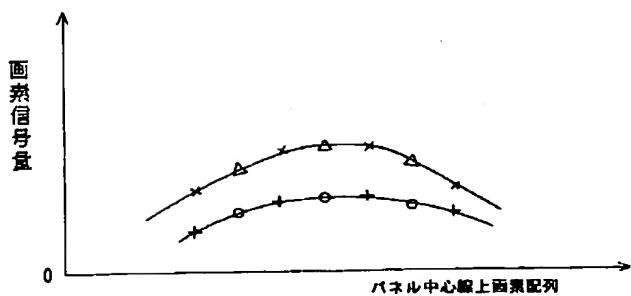
【図10】



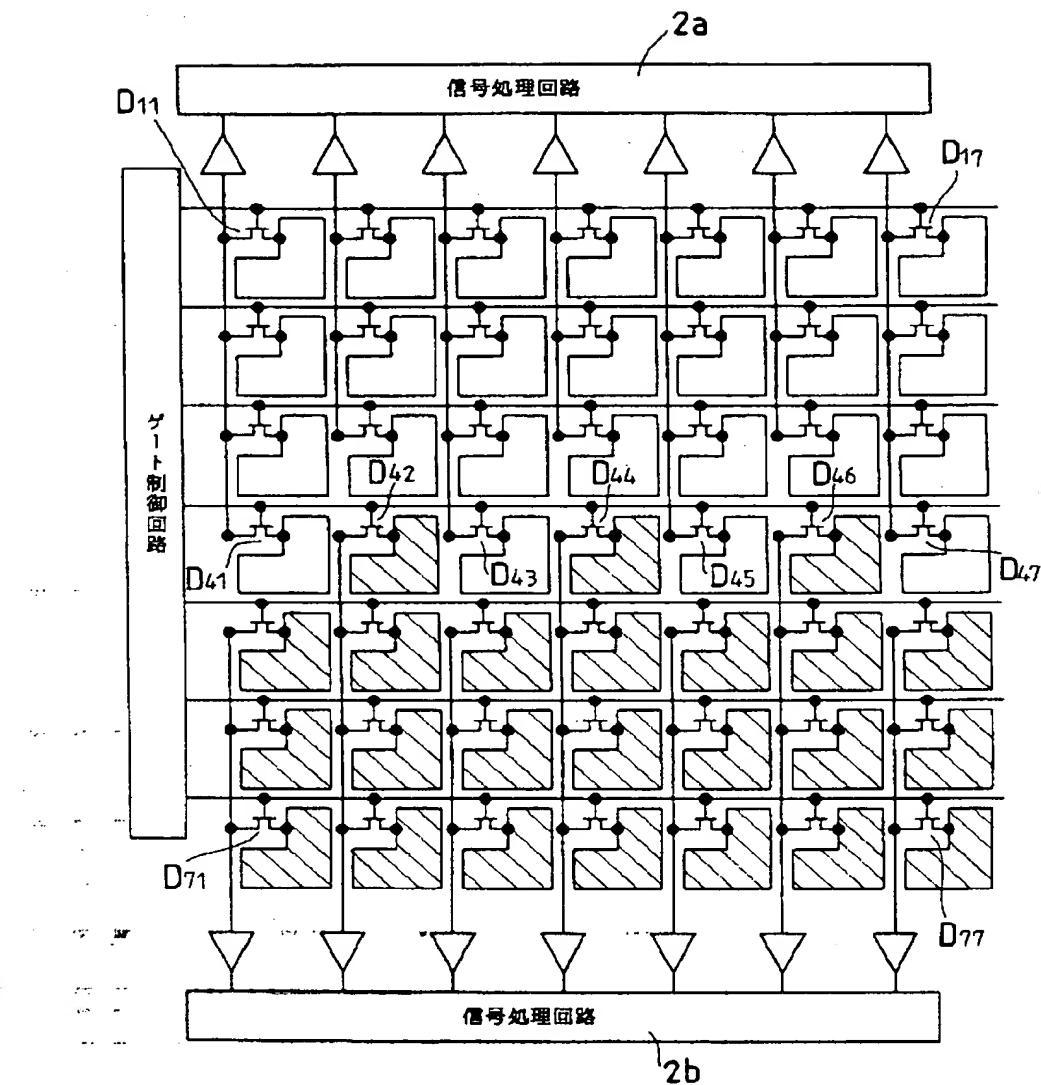
【図2】



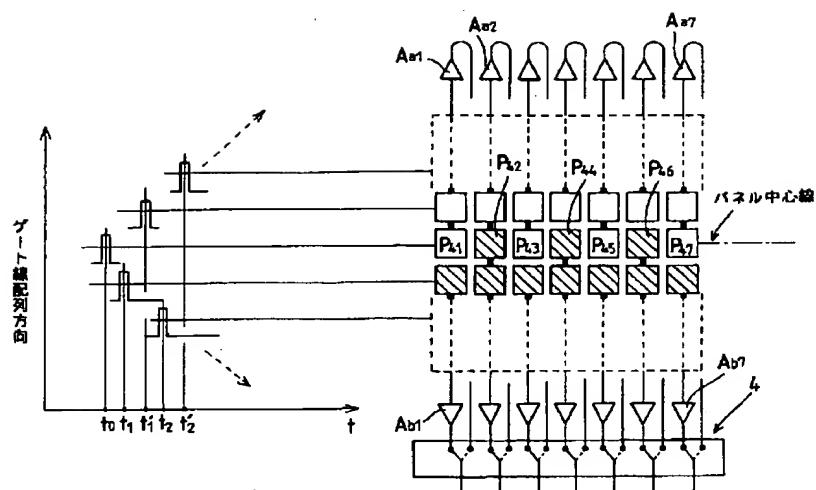
【図5】



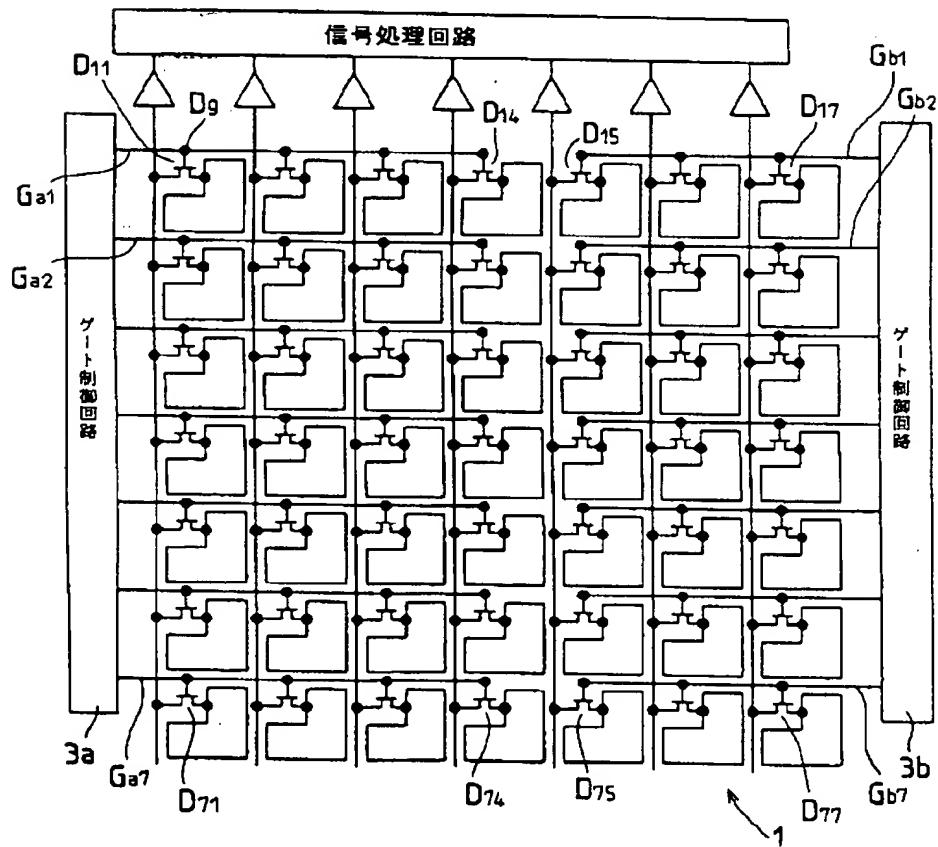
【図3】



【図7】



【図8】



【図9】

